

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 1 9 1 2 4 1

(43) 公開日 平成 5 年 (1993) 7 月 30 日

(51) Int. Cl. 5	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/16	F	9184 - 5 J		
H 0 1 L 21/82				
H 0 3 K 17/04	A	9184 - 5 J		
		9169 - 4 M	H 0 1 L 21/82	D
		8941 - 5 J	H 0 3 K 19/00	1 0 1 F
審査請求	未請求	請求項の数 4	(全 7 頁)	最終頁に続く

(21) 出願番号 特願平4-5726

(22) 出願日 平成 4 年 (1992) 1 月 16 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 安田 浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井折 貞一

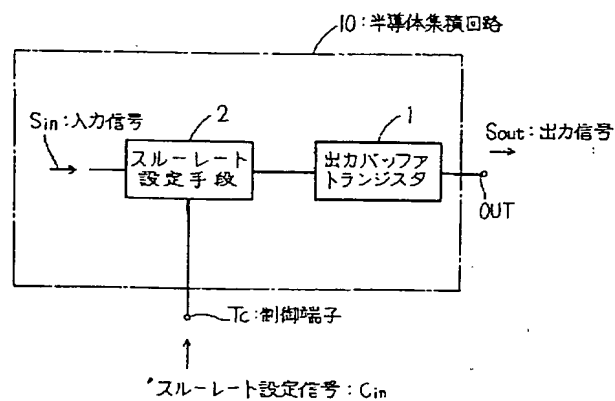
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 半導体集積回路に関し、製作後に高速作動とノイズ低減の選択を目的とする。

【構成】 出力バッファトランジスタと、出力バッファトランジスタの入力信号のスルーレートを可変に設定するスルーレート設定手段と、スルーレート設定手段のための制御信号が入力される制御端子とを備えるように構成する。

本 発 明 の 原 理 図



【特許請求の範囲】

【請求項1】出力バッファトランジスタ(1)と、該出力バッファトランジスタ(1)の入力信号のスルーレートを可変に設定するスルーレート設定手段(2)と、前記設定のための制御信号を成すスルーレート設定信号(Cin)が入力される制御端子(Tc)とを備えることを特徴とする半導体集積回路。

【請求項2】前記スルーレート設定信号(Cin)がディジタル信号として構成されており、

前記スルーレート設定手段(2、3)が、前記出力バッファトランジスタ(1)に前記入力信号を供給する前段トランジスタ(Q21、Q22、Q31、Q32)と、前記スルーレート設定信号(Cin)を介して何れか一つが選択されて前記前段トランジスタ(Q21、Q22、Q31、Q32)に直列に接続される複数の電流経路(21、22、31、32)とを備え、

前記電流経路(21、22、31、32)の選択を介して前記スルーレートの設定が行なわれることを特徴とする請求項1記載の半導体集積回路。

【請求項3】前記スルーレート設定手段(2)が、前記出力バッファトランジスタ(1)に前記入力信号を供給する前段トランジスタ(Q21、Q22、Q31、Q32)と、該前段トランジスタ(Q21、Q22、Q31、Q32)にソース・ドレイン路が直列に接続されると共に前記スルーレート設定信号(Cin)がゲートに入力されるMOSトランジスタ(Q27、Q37)とを備え、

前記スルーレート設定信号がアナログ信号として構成されることを特徴とする請求項1記載の半導体集積回路。

【請求項4】前記スルーレート設定信号が、半導体集積回路の出力バッファ部の各ブロック毎に夫々供給されることを特徴とする請求項1乃至3の一に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路に関し、更に詳しくは、半導体集積回路の最終出力段を成す出力バッファトランジスタにおけるノイズの低減及び作動スピードの選択についての改良に関する。

【0002】近年、半導体集積回路においては、高速化が進み、内部の信号変化に伴うノイズが増大する傾向にあり、特に、最終出力段を成す電流駆動能力の極めて大きな出力バッファトランジスタからのノイズは、電源ラインの電位を変動させて回路に誤動作を発生させるおそれがある。従って、出力バッファトランジスタからのノイズをできるだけ低減させることが要請されている。

【0003】上記ノイズ低減のために、近年、出力バッファトランジスタの信号変化の際の電位変化率(スルーレート)を小さくすることで、出力バッファトランジスタに瞬間的に流れるピーク電流を減じその電流駆動能力

を小さくする回路構成が採用されるようになってい

【0004】しかし、電流駆動能力を小さくしてノイズを低減させた出力バッファトランジスタは、当然のこととして、通常の(電流駆動能力の大きな)出力バッファトランジスタに比してその作動スピードが遅いという事情があり、作動スピードの高速化とノイズの低減とはいわばトレードオフの関係にある。このため、半導体集積回路においては、各製品についてノイズの低減及び作動スピードの確保の何れを優先させるかによって、出力バッファトランジスタを含む出力バッファ部の回路構成が異なるものとされている。

【0005】

【従来の技術】図4は、従来の半導体集積回路における高速作動の出力バッファ部の回路構成を示しており、CMOS回路を例として挙げたものである。同図において、半導体集積回路の出力段を成す出力バッファトランジスタ1は、電流駆動能力の大きな即ち大型サイズのCMOSトランジスタQ1、Q2として構成され、その前段に配される通常サイズの前段トランジスタ(CMOSトランジスタQ3、Q4)から入力を受けている。この出力バッファトランジスタQ1、Q2と前段トランジスタQ3、Q4とで、入力信号Sinと同相となる出力信号Soutを外部端子OUTを介して出力する出力バッファ部を構成する。

【0006】図5は、電流駆動能力を小さくしてノイズを低減させた従来の半導体集積回路の出力バッファ部の回路構成を示している。同図において、Pチャネル及びNチャネルの出力バッファトランジスタQ1、Q2の夫々のゲートには、夫々がCMOSトランジスタとして構成される第一及び第二の前段トランジスタQ5、Q6；Q9、Q10が配されており、双方の前段トランジスタQ5、Q6；Q9、Q10は、共通の入力端n11に接続されると共に、当該各前段トランジスタに対応するPチャネル又はNチャネルの出力バッファトランジスタQ1、Q2に夫々信号を伝達している。

【0007】第一の前段トランジスタQ5、Q6と直列に且つ相互に直列に接続されるPチャネルトランジスタQ7及びQ8は、夫々ゲートが高電位電源ラインV_{DD}に接続されて抵抗要素(電流制限手段)を構成し、この抵抗要素と、出力バッファトランジスタ1への一方の出力ラインを成すノードn12の静電容量とから成る時定数を大きくすることで、ノードn12からNチャネルトランジスタQ6を経由して低電位電源ラインV_{SS}に放電する電流を制限し、ノードn12のHレベルからLレベルへの信号変化の際のスルーレートを小さく抑える。

【0008】一方、ノードn12におけるLレベルからHレベルへの信号変化の際には、高電位電源ラインV_{DD}からノードn12へ流れるノードn12の充電のための電流は、PチャネルトランジスタQ5のみを経由して供給されるため、その時定数が小さく、ノードn12の電

位がLレベルからHレベルへ変化する際のスルーレートは大きい。

【0009】同様に、第二の前段トランジスタQ9、Q10と直列に且つ相互に直列に接続されるNチャネルトランジスタQ11、Q12は、夫々ゲートが低電位電源ライン V_{SS} に接続されて抵抗要素を構成し、この抵抗要素と、出力バッファトランジスタ1への他方の出力ラインを成すノードn13の静電容量とから成る時定数を大きくすることで、高電位電源ライン V_{DD} からPチャネルトランジスタQ9を経由してノードn13に向かって流れてこれを充電する電流を制限し、ノードn13におけるLレベルからHレベルへの信号変化の際のスルーレートを小さく抑える。

【0010】また、ノードn13の電位がHレベルからLレベルへ変化する際には、ノードn13から低電位電源ライン V_{SS} へ流れるノードn13からの放電のための電流は、NチャネルトランジスタQ10のみを経由して流れるため、その時定数が小さく、ノードn13の電位がHレベルからLレベルへ変化する際のスルーレートは大きい。

【0011】上記の構成及び作用により、ノイズ低減型の出力バッファ部では、双方の出力バッファトランジスタQ1、Q2のオン・オフの時間差を介して出力端子OUTにおけるLレベルからHレベル及びその逆方向の信号変化の際のスルーレートが小さく抑えられ、また、信号変化の際の貫通電流も小さく抑えられる。このため、大形サイズの出力バッファトランジスタの大きな駆動電流に起因して生ずる電源ライン V_{DD} 及び V_{SS} における電源揺動が小さく抑えられ、電源ラインの揺動に起因する誤動作等が防止される。

【0012】

【発明が解決しようとする課題】従来の半導体集積回路では、製品化の時点で高速作動型の出力バッファトランジスタ或いはノイズ低減型の出力バッファトランジスタの何れを採用するかを選定する必要がある。しかし、実際の作動スピード及びノイズは、製作時の条件によって変動する他、出力バッファトランジスタの後段に接続される負荷によっても大きく相違し、これらは半導体集積回路の設計の際には予測が困難という事情がある。このため、製品に装着された際に適当なスピード及びノイズとなる半導体集積回路を得ることは一般的に困難であった。

【0013】製品に装着された後になって、出力バッファトランジスタの作動スピード或いはノイズの選定を変更することはできず、従来の半導体集積回路の場合には、前記選定を変更して適当なスピード及びノイズ低減を得るためには、半導体集積回路を再度マスクから製作し直す必要があり、再製作の際の納期及び費用が問題であった。

【0014】本発明は、上記従来の半導体集積回路の問

題に鑑み、製作後においても、出力バッファトランジスタの作動スピード及びノイズの選定を可能とし、もって、半導体集積回路のマスクからの再製作を要すること無く、出力バッファトランジスタにおいて最適の作動スピード及びノイズの選定が容易となるように、従来の半導体集積回路を改良することを目的とする。

【0015】

【課題を解決するための手段】図1は本発明の原理図である。同図において、1は出力バッファトランジスタ、2はスルーレート設定手段、 T_c は制御端子である。

【0016】前記目的を達成するため、本発明の半導体集積回路は、図1に示したように、出力バッファトランジスタ(1)と、該出力バッファトランジスタ(1)の入力信号のスルーレートを可変に設定するスルーレート設定手段(2)と、前記設定のための制御信号を成すスルーレート設定信号(Cin)が入力される制御端子(T_c)とを備えることを特徴とするものである。

【0017】

【作用】制御端子を経由して入力されるスルーレート設定信号を介して、出力バッファトランジスタにおける信号変化の際のスルーレートが設定されることにより、半導体集積回路の製作後においても、その再製作を要することなく、出力バッファトランジスタの作動スピード及びノイズの選定が可能となり、半導体集積回路の再製作に要する納期及びコストを節約できる。

【0018】

【実施例】図面を参照して本発明を更に説明する。図2は、CMOS回路として構成される本発明の半導体集積回路の出力バッファ部の回路の一部を示す回路図である。

同図において、出力バッファトランジスタ1は、Pチャネル及びNチャネルのMOSTランジスタQ1、Q2から構成されるCMOS回路を成している。

【0019】出力バッファトランジスタQ1、Q2の出力ラインn4のスルーレートを設定するために、前段トランジスタQ21、Q22及びQ31、32を夫々含むスルーレート設定手段2及び3が、夫々、Pチャネル及びNチャネルの各出力バッファトランジスタQ1、Q2の前段に配されている。

【0020】第一のスルーレート設定手段2は、前段トランジスタを成すCMOSTランジスタQ21、Q22と、これらと直列接続される第一の電流制限手段とから構成され、第一の電流制限手段は、スルーレート設定信号を介して何れか一つが選択されてこのCMOSTランジスタQ21、Q22と直列に接続される第一及び第二の電流経路21、22から構成される。第一の電流経路21は一つのNチャネルトランジスタQ26を含み、第二の電流経路22は三つのNチャネルトランジスタQ23～Q25を含む直列回路として構成されている。

【0021】同様に、第二のスルーレート設定手段3は、前段トランジスタを成すCMOSTランジスタQ3

1、Q32と、第二の電流制限手段とから構成されており、第二の電流制限手段は、スルーレート設定信号を介して何れか一つが選択されてこのCMOSトランジスタQ31、Q32と直列に接続される第一及び第二の電流経路31、32から構成される。第一の電流経路31は一つのPチャネルチャネルトランジスタQ36を含み、第二の電流経路22は三つのPチャネルチャネルトランジスタQ33～Q35を含む直列回路として構成されている。

【0022】各電流経路21、22；31、32に配される夫々のトランジスタQ21～Q26；Q31～Q36は、相互に同じサイズに製作されているので、双方のスルーレート設定手段2、3夫々において、第二の電流経路22、32のオン抵抗は、第一の電流経路21、31のオン抵抗の約3倍である。

【0023】スルーレート設定信号Cinは、半導体集積回路内に配される多数の各出力バッファトランジスタに共通の制御端子T_cを経由して外部から供給され、直接に第一のスルーレート設定手段2の第一の電流経路21のNチャネルトランジスタQ26及び第二のスルーレート設定手段3の第二の電流経路32の一部を成すPチャネルトランジスタQ33に供給される。

【0024】更に、スルーレート設定信号Cinは、インバータ4（CMOSトランジスタQ41、Q42）を介して第一のスルーレート設定手段2の第二の電流経路22の一部を成すNチャネルトランジスタQ23と、第二のスルーレート設定手段3の第一の電流経路31のPチャネルトランジスタQ36とに供給される。

【0025】出力バッファトランジスタ1を動作させるための入力信号Sinは、第一及び第二のスルーレート設定手段2、3の夫々のCMOSトランジスタQ21、Q22；Q31、Q32及びノードn2、n3を介して、出力バッファトランジスタ1のPチャネル及びNチャネルの各トランジスタQ1、Q2に夫々供給されている。

【0026】上記構成により、この半導体集積回路では、製品に組み込んだ際の出力バッファトランジスタ1の作動スピード及びノイズが比較考量され、ノイズを低減する選択がなされる場合には、制御端子T_cに入力されるスルーレート設定信号が“0”に、また、スピードを高める選択が成される場合には、スルーレート設定信号が“1”に、夫々設定される。

【0027】スルーレート設定信号が“0”に選択されると、第一及び第二のスルーレート設定手段2、3における電流経路の選択が夫々第二の電流経路22、32となる。このため、出力バッファトランジスタ1のPチャネルトランジスタQ1のゲート入力を成すノードn2の電荷は、そのゲート入力がLレベルからHレベルに立上がる充電時には、唯一つのPチャネルトランジスタQ21を介して、即ち、小さなオン抵抗を介して高電位電源ラインV_{cc}に導通するため、小さな時定数により急速に

充電される。

【0028】また、逆方向の信号変化であるノードn2の放電時には、四つのNチャネルトランジスタQ22～Q25を介して、即ち大きなオン抵抗を介して、低電位電源ラインV_{ss}に接続されるため、ノードn2の電荷は大きな時定数によってゆっくりと放電する。従って、PチャネルトランジスタQ1のゲート入力の立上がり時のスルーレートは大きく、立下がり時のスルーレートは小さい。

10 【0029】一方、出力バッファトランジスタ1のNチャネルトランジスタQ2のゲート入力を成すノードn3の電荷は、そのゲート入力がLレベルからHレベルに立上がる充電時には、四つのPチャネルトランジスタを介して高電位電源ラインV_{DD}に導通するためゆっくりと充電されると共に、逆方向の放電時には、唯一つのNチャネルトランジスタQ32を介して低電位電源ラインV_{ss}に導通するため、急速に放電する。従ってNチャネルトランジスタQ2のゲート入力の立上がり時のスルーレートは小さく、立下がり時のスルーレートは大きい。

20 【0030】上記により、この出力バッファ部の入力信号Sinの入力がLレベルからHレベルに変化するときには、出力バッファトランジスタ1のPチャネルトランジスタQ1のゲート入力の電位はゆっくりとHレベルからLレベルに低下し、且つ、出力バッファトランジスタ1のNチャネルトランジスタQ2のゲート入力の電位は、急速にLレベルからHレベルに立上がる。

30 【0031】従って急速にオフとなるNチャネルトランジスタQ2とゆっくりとオンになるPチャネルトランジスタQ1とにより、双方のオン・オフの時間差を介して出力バッファトランジスタQ1、Q2の出力ラインn4の電位は、小さなスルーレートで、ゆっくりと且つ静かに立上がる。

【0032】また、出力バッファ部の入力信号SinがHレベルからLレベルに立下がるときには、出力バッファトランジスタ1のPチャネルトランジスタQ1のゲート入力のレベルは急速にLレベルからHレベルに立上がり、且つ、出力バッファトランジスタ1のNチャネルトランジスタQ2のゲート入力は、ゆっくりとHレベルからLレベルに低下するので、PチャネルトランジスタQ1は急速にオフ、NチャネルトランジスタQ2はゆっくりとオンになり、出力バッファトランジスタ1の出力ラインn4の電位は小さなスルーレートで低下する。このように、スルーレート設定信号が“0”のときには、ノイズの小さな信号伝達が可能となる。

40 【0033】スルーレート設定信号が逆に“1”に選択されると、双方のスルーレート設定手段2、3における電流経路の選択が夫々第一の電流経路21、31となる。このため、出力バッファ部は、通常の即ち作動スピードが早い従来の出力バッファ部と同様に作動するた
50 め、出力信号レベルは大きなスルーレートで変化し、ノ

イズは大きいが高速な信号伝達が可能となる。

【0034】なお、この実施例では、スルーレート設定信号が“0”又は“1”の何れかのデジタル信号であり、これによって第一及び第二の電流経路の何れかを選択する例であったが、スルーレート設定信号を例えば2ビットの信号とし、且つ、四つの電流経路を備え、スルーレート設定信号によってこれらから一の電流経路を選択する構成等を採用することで、出力ラインの電位変化のスルーレートの選択を多段階とすることができる。

【0035】スルーレート設定信号が入力される制御端子 T_c は、本実施例では、半導体集積回路の出力バッファトランジスタ全体に対して一つが設けられる例であったが、これに限定されるものではなく、特定の出力バッファトランジスタのみにスルーレート設定信号を供給する構成を採用して、真に必要な出力バッファ部のみにおいてスルーレートの選定を可能とし、或いは、半導体集積回路の多数の出力バッファ部をブロック毎に区分して、各ブロック毎に制御端子を設けて夫々に所望のスルーレート設定信号を入力する構成を採用して、各ブロック毎に最適なスルーレートの選定を可能とすることもできる。

【0036】図3は、第二の実施例の出力バッファ部の回路図である。同図においては、スルーレート設定信号としてアナログ信号が採用されており、第一のスルーレート設定信号 C_{in1} は、第一の電流制限手段を成すNチャネルのMOSトランジスタ $Q27$ のスレッシュホールド電圧 V_{th} （例えば2V）よりも大きな可変の電圧信号である。また、第二のスルーレート設定信号 C_{in2} は、第二の電流制限手段を成すPチャネルトランジスタ $Q37$ のスレッシュホールド電圧 V_{th} よりも低い可変の電圧信号である。

【0037】スルーレート設定信号をこのように可変に設定することで、スルーレート設定手段における電流制御手段を成すMOSトランジスタ $Q27$ 、 $Q37$ のオン抵抗を小さく又は大きくすることができ、出力バッファトランジスタの作動スピード及びノイズを所望の値に設定することができる。

【0038】第二の実施例の場合には、作動スピード及びノイズの調節が段階的でなく、連続的に可能となる。また、第一の実施例に比べると、第二の実施例における回路構成は比較的簡素となるが、スルーレートの可変範囲は狭い。

【0039】上記の如く、本発明の半導体集積回路においては、制御端子からスルーレート設定信号を供給することにより、製品製作後においても、実際の製品上において作動スピード及びノイズの大きさを比較考量することで、スルーレートを各半導体集積回路毎に個別に選定できるので、従来とは異なり、たとえ回路製作時に誤差が生じ或いは半導体集積回路の出力ラインに接続される回路の静電容量が設計時と相違していても、半導体集積

回路のマスク等の再製作を要することなく、実製品上において所望の高速作動或いは小さなノイズを選択することができる。

【0040】上記各実施例において、各スルーレート設定手段は、高速作動時において回路に接続されるMOSトランジスタの個数が通常のCMOS回路に比べると一個多い構成であるが、従来と同様の高速作動が可能である。各MOSトランジスタのオン抵抗を小さく製作することは、例えばMOSトランジスタが形成されるウエル領域の不純物濃度を濃くすることで、極めて容易に可能だからである。

【0041】なお、上記各実施例の半導体集積回路においては何れもCMOS回路を例として挙げたが、本発明は、当然のこととして、CMOS回路への適用に限定されるものではなく、例えば、オープンソース（ソースフォロア）のMOSトランジスタ或いはオープンコレクタのバイポーラトランジスタを出力バッファとして採用する半導体集積回路に適用することができる。何れの場合にも出力バッファトランジスタの入力信号のレベル変化におけるスルーレートを、制御端子に入力されるスルーレート設定信号によって設定することで足りる。

【0042】また、上記各実施例の回路図は、例示を目的として掲げたものであり、当然のこととして、上記各実施例の回路から周知の変更修正を施した回路も本発明の範囲に含まれる。

【0043】

【発明の効果】以上説明したように、本発明の半導体集積回路によると、スルーレート設定信号を介して製品製作後に出力バッファトランジスタにおける信号変化の際のスルーレートを選定可能であるため、作動スピード及びノイズを実際の製品に適合させて選定できることとなり、作動スピードの不足或いは大きなノイズに起因する再製作の必要を除き、再製作に要する納期及びコストを削減可能とした顕著な効果を奏する。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の第一の実施例の回路図である。

【図3】本発明の第二の実施例の回路図である。

【図4】従来の高速作動型の出力バッファ部の回路図である。

【図5】従来ノイズ低減型の出力バッファ部の回路図である。

【符号の説明】

1、 $Q1$ 、 $Q2$ ：出力バッファトランジスタ

2、3：スルーレート設定手段

$Q21$ 、 $Q22$ 、 $Q31$ 、 $Q32$ ：前段トランジスタ

21、22、31、32：電流経路

C_{in} 、 C_{in1} 、 C_{in2} ：スルーレート設定信号

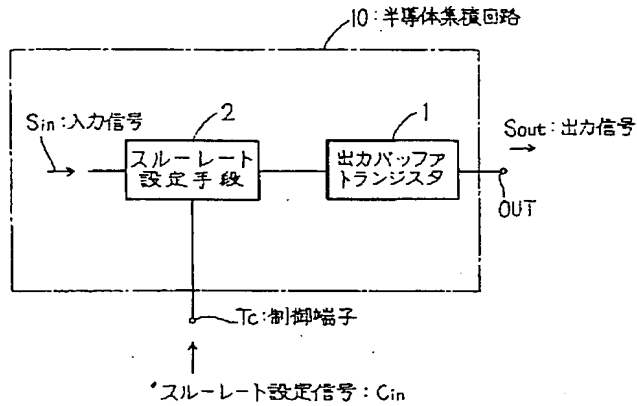
S_{in} ：入力信号

50 S_{out} ：出力信号

T_c , T_{ca} , T_{cb} : 制御端子

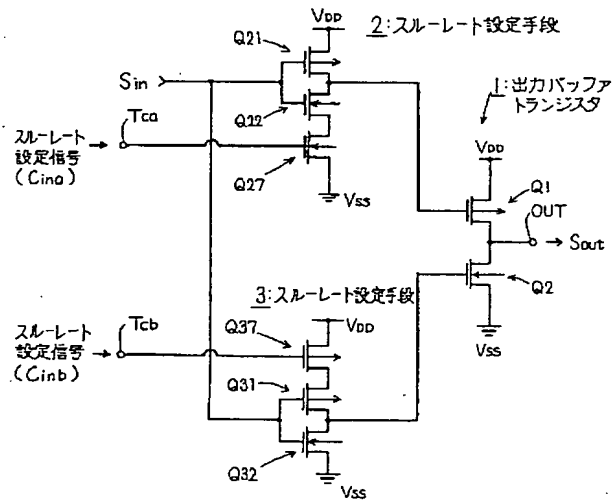
【図1】

本発明の原理図



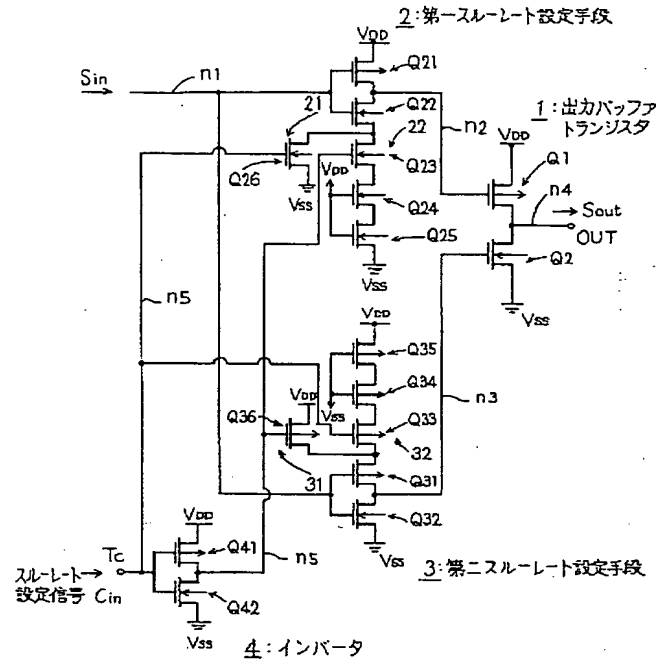
【図3】

第二の実施例の回路図



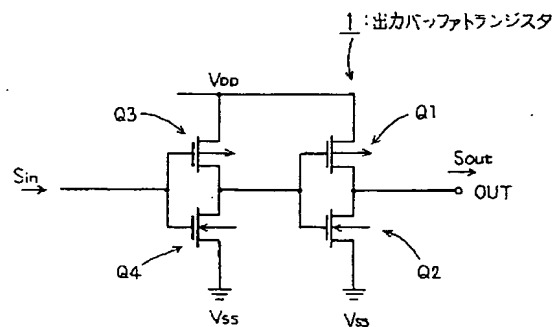
【図2】

第一の実施例の回路図



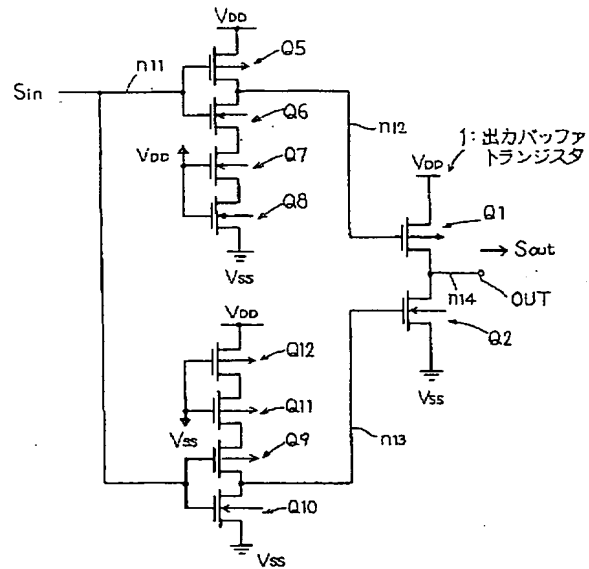
【図4】

従来的高速動作型の出力バッファ部の回路図



【図5】

従来のノイズ低減型の出力バッファ部の回路図



フロントページの続き

(51)Int.Cl.⁵

H03K 19/0175

19/003

19/01

識別記号

庁内整理番号

F I

技術表示箇所

Z 8941-5 J

8941-5 J